



Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Veröffentlichungsnummer:

0 202 347

A1

(12)

EUROPÄISCHE PATENTANMELDUNG

(21) Anmeldenummer: 85106137.4

(51) Int. Cl.: G 06 F 7/68

(22) Anmeldetag: 18.05.85

(43) Veröffentlichungstag der Anmeldung:
26.11.86 Patentblatt 86/48

(84) Benannte Vertragsstaaten:
DE FR GB IT NL

(71) Anmelder: Deutsche ITT Industries GmbH
Hans-Bunte-Strasse 19 Postfach 840
D-7800 Freiburg(DE)

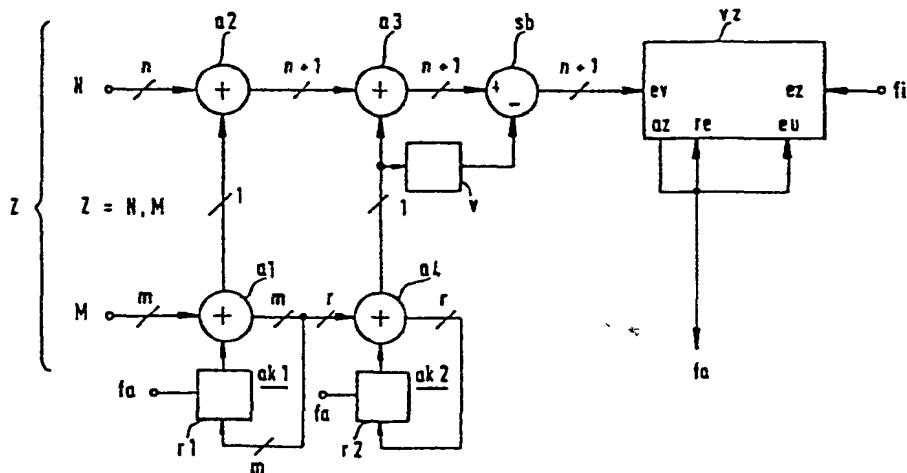
(72) Erfinder: Mehrgardt, Sönke, Dr.
Häglestrasse 26
D-7801 March(DE)

(74) Vertreter: Morstadt, Volker, Dipl.-Ing.
c/o Deutsche ITT Industries GmbH
Patent/Lizenzierteilung Postfach 840 Hans-Bunte-Strasse
19
D-7800 Freiburg/Brsg.(DE)

(54) Frequenzteilerschaltung für nichtganze Teilungszahlen nach Art eines Rate-Multipliers.

(57) Bei der Erfindung wird das Rate-Multiplier-Prinzip der möglichst gleichverteilten Unterdrückung von Impulsen aus einer Anzahl Impulsen des frequenzteilenden Signals (fi) derart abgewandelt, daß tieffrequente Änderungen im frequenzgeteilten Signal (fa) unter Inkaufnahme der Anhebung von höherfrequenten Änderungen abgesenkt sind, was als

Rauschfärbung des bekannten Rate-Multipliers interpretiert werden kann. Hierzu dienen u.a. außer dem dem bekannten Rate-Multiplier entsprechenden ersten Akkumulator (ak1) ein diesem nachgeordneter zweiter Akkumulator (ak2), weitere Addierer (a2, a3), ein Subtrahierer (sb) und ein Vorwahlzähler (vz).



Frequenzteilierschaltung für nichtganze
Teilungszahlen nach Art eines Rate-Multipliers

5

Die Erfindung betrifft eine Frequenzteilierschaltung für ganze und nichtganze Stellen aufweisende Teilungszahlen nach Art eines Rate-Multipliers mit einem aus einem getakteten Datenregister und einem m-stelligen ersten Addierer bestehenden digitalen ersten Akkumulator, an dessen Eingang ein den nichtganzen Stellen der Teilungszahl entsprechendes n-stelliges erstes Digitalwort und an dessen zweitem Eingang der Ausgang des Datenregisters liegt, dessen Eingang mit dem Ausgang des ersten Addierers verbunden ist, vgl. den Oberbegriff des Anspruchs 1. Eine derartige Anordnung ist in "ESS-CIRC'82, Eighth European Solid-State Circuits Conference, Brüssel, 22. bis 24 September 1982, Seiten 145 bis 148 beschrieben.

20

Die charakteristische Eigenschaft eines Rate-Multipliers besteht bekanntlich darin, daß er aus jeweils p Impulsen des frequenzzuteilenden Signals q Impulse möglichst gleichverteilt unterdrückt, wobei q kleiner als p ist. Sollen z.B. während 100 Eingangsimpulsen 66 Impulse unterdrückt, also 33 Ausgangsimpulse erzeugt werden, so werden zuerst 32 Ausgangsimpulse im Abstand von 3 Eingangsimpulsen und dann 1 Ausgangsimpuls im Abstand von von 4 Eingangsimpulsen erzeugt.

30

0202347

S. Mehrgardt 12

- 2 -

F1 1247 EP

Mo/bk

17.05.85

Benutzt man den üblichen Rate-Multiplier innerhalb einer Phasenverriegelungsschaltung, also einer sogenannten PLL-Schleife, um damit ein frequenz- und phasenstabiles Taktsignal zu erzeugen, so entsteht folgendes Problem:

- 5 Während der im obigen Beispiel angegebenen Dauer von 32 Ausgangsimpulsen im Abstand von jeweils 3 Eingangsimpulsen wird sich die PLL-Schleife bei hierfür geeigneter Zeitkonstante auf den Phasenfehler null einregeln. Für die Dauer der erwähnten vier Eingangsimpulse tritt aber
10 dann ein großer Phasenfehler (Jitter) auf.

- Die Aufgabe der in den Ansprüchen gekennzeichneten Erfindung besteht daher darin, eine Frequenzteilerschaltung anzugeben, die nicht mehr wie ein Rate-Multiplier
15 die zu unterdrückenden Impulse gleichverteilt unterdrückt, sondern sie nach einer für den beispielsweise Anwendungsfall in PLL-Schleifen besser geeigneten Art und Weise verteilt unterdrückt.

- 20 Die Erfindung und ihre Vorteile werden nun anhand der Figur der Zeichnung näher erläutert.

- In der Figur ist ein schematisiertes Blockschaltbild eines Ausführungsbeispiels der Erfindung gezeigt. Die ganze und nichtganze Stellen aufweisende Teilungszahl,
25 durch die das frequenzzuteilende Signal f_i geteilt werden soll, damit das frequenzgeteilte Signal f_a entsteht, - diese Teilungszahl ist also eine rationale Zahl, die größer/gleich drei sein muß und die für die Zwecke der
30 Erfindung in Kommadarstellung vorliegend gedacht wird -, entspricht dem der Frequenzteilerschaltung zugeführten

Mo/bk

17.05.85

Digitalwort Z, das aus dem den nichtganzen Stellen der Teilungszahl entsprechenden m-stelligen Digitalwort M und dem den ganzen Stellen der Teilungszahl entsprechenden n-stelligen Digitalwort N besteht, so daß sich wie
5 üblich die Schreibweise Z = N,M ergibt.

Der erste Addierer a1 und das erste Datenregister r1 bilden den digitalen ersten Akkumulator akl, dessen Eingang mit dem ersten Eingang des Addierers a1 identisch
10 ist. Diesem ist das erste Digitalwort M zugeführt, das in Schritten des das Datenregister taktenden frequenzgeteilten Signals fa akkumuliert wird, da der Ausgang des Addierers a1 mit dem Eingang des Datenregisters r1 verbunden ist und somit dessen Ausgangssignal bei jedem
15 Taktimpuls in das Register übernommen und an den zweiten Eingang des Addierers a1 gelegt wird.

Das zweite Digitalwort N ist dem ersten Eingang des n-stelligen zweiten Addierers a2 zugeführt, während an

20 dessen zweitem Eingang der Übertragsausgang des ersten Addierers a1 liegt und an dessen Ausgang der erste Eingang des (n+1)stelligen dritten Addierers a3 angeschlossen ist.

25 Signalflußmäßig ist dem ersten Akkumulator akl der zweite Akkumulator ak2 nachgeschaltet, der aus dem vierten Addierer a4 und dem zweiten Datenregister r2 besteht, das wiederum vom frequenzgeteilten Signal fa getaktet ist. Der vierte Addierer a4 ist r-stellig, wobei für r
30 gilt: $1 \leq r \leq m$ und dessen erstem Eingang r höchswertige Stellen des Ausgangssignals des ersten Akkumulators

Mo/bk

17.05.85

- akl zugeführt sind. Der Übertragsausgang des vierten Addierers a4 liegt am zweiten Eingang des dritten Addierers a3 und über das Verzögerungsglied v am Subtrahend-Eingang des Subtrahierers sb. Die Verzögerungszeit des 5 Verzögerungsglieds v ist dabei gleich der jeweiligen Periodendauer des frequenzgeteilten Signals fa, und am Minuend-Eingang des Subtrahierers sb liegt der Ausgang des dritten Addierers a3.
- 10 Der Ausgang des Subtrahierers sb liegt am Vorwahleingang ev des Vorwahlzählers vz, dessen Zähleingang ez das frequenzzuteilende Signal fi zugeführt ist. Das frequenzgeteilte Signal fa tritt an demjenigen Zählerausgang az auf, an dem nach sovielen Impulsen, wie dem am Vorwahl-15 eingang ev liegenden Wert entspricht, ein Impuls auftritt. Dieser Zählerausgang az ist sowohl mit dem Reset-eingang re als auch mit dem Übernahmeeingang eu verbunden, so daß bei jedem an ihm auftretenden Impuls der Zähler vz, sofern er ein Vorwärtszähler ist, zurückgesetzt wird und das dann am Vorwahleingang ev anstehende Digitalwort in den Zähler vz übernommen wird. Wird der Zähler vz dagegen mittels eines Rückwärtszählers realisiert, so ist der Zählerausgang az mit dem Null-Ausgang identisch, so daß auf die Verbindung mit dem Reset-Ein-20 gang und/oder auf diesen selbst verzichtet werden kann.
- 25 Durch die Hinzufügung des zweiten Akkumulators ak2, der Addierer a2, a3, des Subtrahierers sb und des Vorwahlzähles vz zum Akkumulator akl hat die Frequenzteilerschaltung die gewünschte, von der Rate-Multiplierv-Eigenschaft abweichende Impulsunterdrückungs-Gesetzmäßigkeit,

Mo/bk

17.05.85

und zwar derart, daß durch die erwähnten zusätzlichen Teilschaltungen sich nunmehr ein Rate-Multiplizer mit sogenannter Rauschfärbung ergibt, wobei diese Färbung der Frequenzcharakteristik gegenläufig zu rosa Rauschen ist.

5 Dies bedeutet, daß die Amplitude von tieffrequenten Rauschsignalen gegenüber weißem Rauschen unter Inkaufnahme der Erhöhung von Amplituden höherfrequenter Rauschsignale abgesenkt ist. Bei der bevorzugten Verwendung der erfindungsgemäßen Frequenzteilerverschaltung in
10 den erwähnten PLL-Schleifen ergibt sich somit an deren Ausgang ein jitterärmeres Signal von hoher Frequenzstabilität und sehr hoher Frequenzeinstellgenauigkeit, da die tieffrequenten Änderungen im frequenzgeteilten Ausgangssignal fa stark reduziert sind.

15 Die Erfindung läßt sich vorteilhaft mittels monolithisch integrierter Schaltungen realisieren, wobei sie, da sie ausschließlich aus digitalen Teilschaltungen besteht, insbesondere in Isolierschicht-Feldeffekttransistor-
20 Technik (MOS-Technik) integriert werden kann.

In der Figur ist mittels der Zahlen an den in den Verbindungsleitungen angebrachten Schrägstichen angedeutet, wieviele Stellen die auf diesen Leitungen laufenden
25 Digitalsignale haben und wieviele Leitungen somit die entsprechenden Busse bei Parallelverarbeitung mindestens aufweisen.

Patentansprüche

1. Frequenzteilerverschaltung für ganze und nichtganze Stellen aufweisende Teilungszahlen nach Art eines Rate-
5 Multipliers mit einem aus einem getakteten Datenregister (rl) und einem m-stelligen ersten Addierer (a1) beste-
henden digitalen ersten Akkumulator (ak1), an dessen Eingang ein den nichtganzen Stellen der Teilungszahl entsprechendes m-stelliges erstes Digitalwort (M) und an
10 dessen zweitem Eingang der Ausgang des Datenregisters (rl) liegt, dessen Eingang mit dem Ausgang des ersten Addierers (a1) verbunden ist,

gekennzeichnet durch folgende Merkmale:

15

- ein den ganzen Stellen der Teilungszahl entsprechendes n-stelliges zweites Digitalwort (N) liegt am ersten Eingang eines n-stelligen zweiten Addierers (a2) und an dessen zweitem Eingang der Übertragsausgang des ersten
20 Addierers (a1),

- der Ausgang des zweiten Addierers (a2) liegt am ersten Eingang eines (n+1)-stelligen dritten Addierers (a3) und dessen Ausgang am Minuend-Eingang eines Subtrahierers
25 (sb), dessen Ausgang am Vorwahleingang (ev) eines Vor- wahlzählers (vz) angeschlossen ist,

- am Zähleingang (ez) des Vorwahlzählers (vz) liegt das frequenzzuteilende Signal (fi) und an dessen Übernahmeeingang (eu) sowie an dessen Reset-Eingang (re) derjenige Zählerausgang (az), an dem nach sovielen Impulsen,

0202347

S. Mehrgardt 12

- 7 -

F1 1247 EP

Mo/bk

17.05.85

wie dem am Vorwahleingang (ev) liegenden Wert entspricht, ein Impuls auftritt, welche Impulse das frequenzgeteilte Signal (fa) sind und die Datenregister (r1, r2) takten, und

5

- an r höchswertigen Stellen des Ausgangs des ersten Akkumulators (ak1) liegt der Eingang eines r -stelligen zweiten Akkumulators (ak2), wobei für r gilt $1 \leq r \leq m$ und der Übertragsausgang des zweiten Akkumulators (ak2) am zweiten Eingang des dritten Addierers (a3) und über ein Verzögerungsglied (v), dessen Verzögerungszeit gleich der jeweiligen Periodendauer des frequenzgeteilten Signals (fa) ist, am Subtrahend-Eingang des Subtrahierers (sb) angeschlossen ist.

10

- 2. Verwendung der Frequenzteilerverschaltung nach Anspruch 1 als einstellbarer Frequenzteiler von Phasenverriegelungsschaltungen (PLL-Schleifen).

15

20

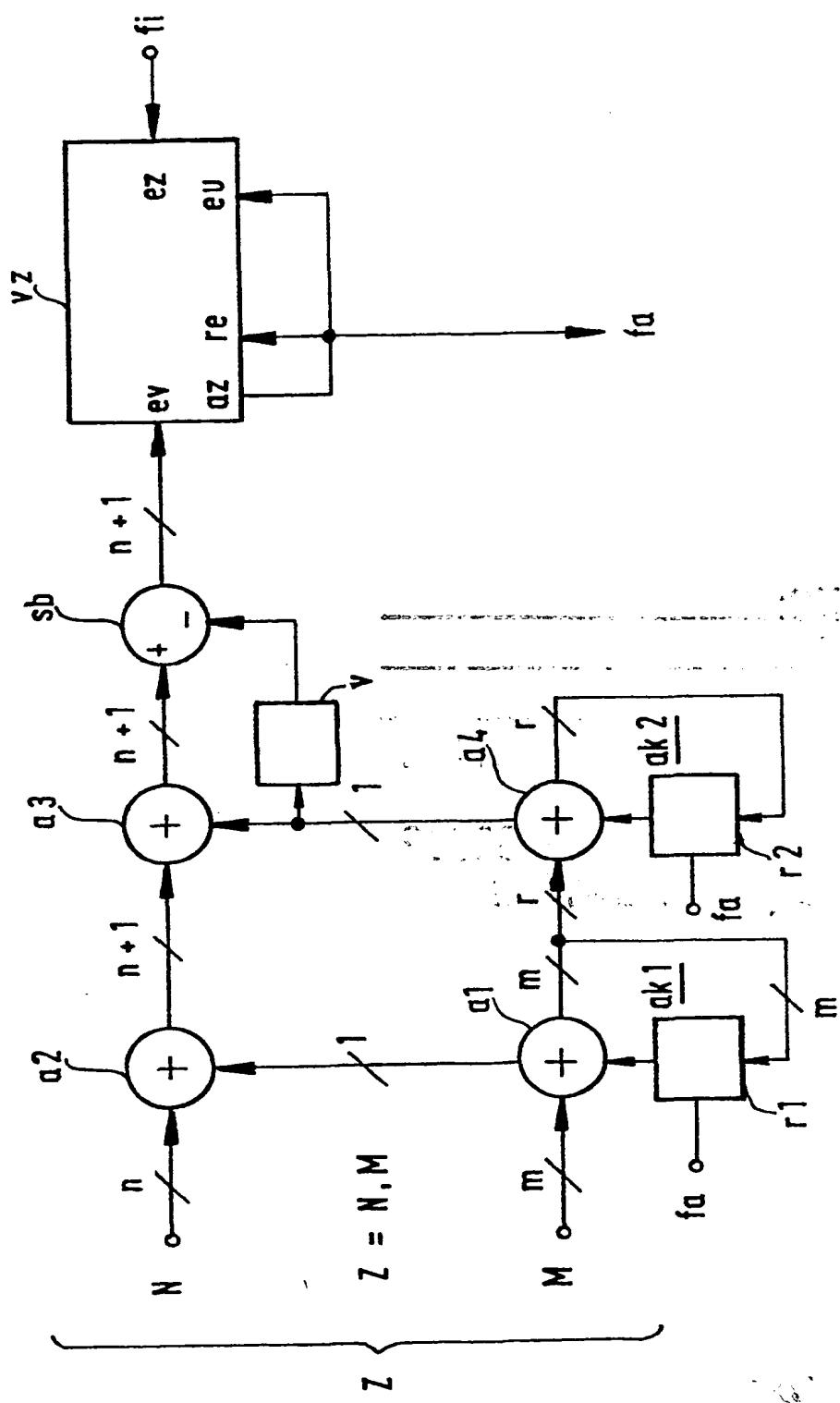
25

30

65 10 6.1 37.4

0202347

1/1





Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

0202347

Nummer der Anmeldung

EP 85 10 6137

EINSCHLÄGIGE DOKUMENTE

Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrift Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl. 4)
A	IEEE JOURNAL OF SOLID-STATE CIRCUITS, Band SC-18, Nr. 3, Juni 1983, Seiten 267-272, IEEE, New York, US; R.C. DEN DULK et al.: "A versatile CMOS rate multiplier/variable divider"		G 06 F 7/68
A	US-A-3 603 773 (CARLSTEIN) -----		
			RECHERCHIERTE SACHGEBiete (Int. Cl. 4)
DOCKET NO: <u>L&L - I 0058</u>			G 06 F
SERIAL NO: _____			
APPLICANT: <u>M. Hammer et al.</u> LERNER AND GREENBERG P.A. P.O. BOX 2480 HOLLYWOOD, FLORIDA 33022 TEL. (954) 925-1100			
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt.			
Recherchenort DEN HAAG	Abschlußdatum der Recherche 31-01-1986	Prüfer BEINDORFF W.H.	
KATEGORIE DER GENANNTEN DOKUMENTEN			
X : von besond r Bedeutung allein betrachtet		E : älteres Patentdokument, das jedoch erst am oder nach dem Anmelde datum veröffentlicht worden ist	
Y : von besond r Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie		D : in der Anmeldung angeführtes Dokument	
A : technologischer Hintergrund		L : aus andern Gründen angeführtes Dokument	
O : nichtschriftliche Offenbarung			
P : Zwischenliteratur			
T : der Erfindung zugrunde liegende The rien oder Grundsätze		& : Mitglied der gleichen Patentfamilie, überem- stimmendes Dokument	

Fr quency divid r circuit

Patent Number: US4694475
Publication date: 1987-09-15
Inventor(s): MEHRGARDT SOENKE (DE)
Applicant(s): ITT IND GMBH DEUTSCHE (DE)
Requested Patent: EP0202347, B1
Application Number: US19860861152 19860508
Priority Number(s): EP19850106137 19850518
IPC Classification: H03K21/02
EC Classification: G06F7/68, H03L7/197D1
Equivalents: CN1003552B, CN86101616, DE3562684D, JP61267415

Abstract

A divider-by-factor frequency divider circuit is described. The rate-multiplier principle of eliminating pulses as regularly as possible from a number of pulses of the signal to be frequency-divided is modified so that low-frequency variations in the frequency-divided signal are reduced at the expense of an increase in higher-frequency variations. This modification is achieved through the addition of a second accumulator, a pair of adders, a subtracter and a presetable counter to the accumulator of a frequency divider circuit. A rate multiplier with a coloring characteristic inverse to pink noise is thereby obtained.

Data supplied from the esp@cenet database - I2

DOCKET NO: L&L-10058
SERIAL NO:
APPLICANT: M. Haimes et al.
LERNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100